(19)日本国特許庁（ＪＰ）　(12)公開特許公報（Ａ）　(11)特許出願公開番号

特開平7－20973

(43)公開日　平成7年（1995）1月24日

(51)Int.Cl.[6]	識別記号	庁内整理番号	ＦＩ	技術表示箇所
Ｇ０６Ｆ　3/00		Ｇ		

審査請求　未請求　請求項の数２　ＦＤ（全５頁）

(21)出願番号　特願平5－189332

(22)出願日　平成5年（1993）7月1日

(71)出願人　000002185
ソニー株式会社
東京都品川区北品川6丁目7番35号

(72)発明者　黒須　茂
東京都品川区北品川6丁目7番35号　ソニー株式会社内

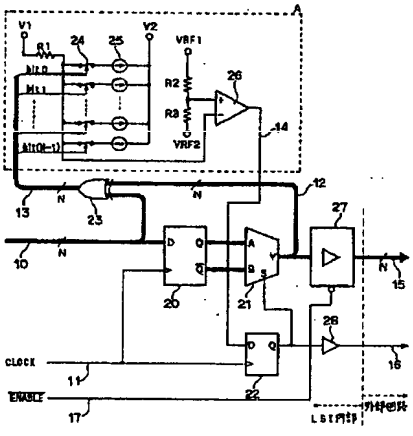
(74)代理人　弁理士　高橋　光男

(54)【発明の名称】バス駆動回路

(57)【要約】

【目的】　従来の方法では解決しきれなくなった問題を解決でき、同時スイッチングビット数を制限できるようにする。

【構成】　送信側ではＤフリップフロップ２０がデータ１０に１クロックの遅延をかける。オリジナルのデータ１０と、１クロック後に出力されるデータ１２とは、Exclusive－ＯＲ論理回路２３によってビット毎の排他的論理和がとられ、その結果が多数決回路Ａへ供給される。多数決回路Ａでは、全Ｎビット中、「１」のビット数がＮ／２ビット以上のときにのみアナログ電圧比較器２６の出力が「１」となる。従って、セレクタ２１では、各クロックの前後で反転したビット数の合計がＮ／２以上になった場合にのみオリジナルデータに対して出力端／Ｑからの反転されたデータ１５が出力される。また、データ極性フラグ１６はデータ１５がデータ１０に対して反転した場合にのみ「１」となる。一方、受信側では上記データ極性フラグ１６に基づいてオリジナルデータが復元される。



1

【特許請求の範囲】

【請求項1】　マルチビットの同期式バス駆動回路において、

バス上に1クロック前に送出したデータと、次のクロックで送出するオリジナルデータとを比較し、クロックの前後で値の変化したビットの数を判定する判定手段と、

判定結果に基づいて、次のクロックでバス上に送出するオリジナルデータを一度に反転して出力する反転手段と、

バス上のデータがオリジナルデータに対して反転していることを示すデータ極性フラグを出力するフラグ出力手段と、

受信側において、前記極性フラグの値に応じて、受信データを反転して取込む取込手段とを具備することを特徴とするバス駆動回路。

【請求項2】　判定手段は、デジタル入力の各ビットの重みが等しい一種のD／Aコンバータと、前記D／Aコンバータのアナログ出力電圧に対して、しきい値がビット数の1／2に設定された電圧比較器とを有することを特徴する請求項1記載のバス駆動回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、例えば、コンピュータまたは通信の技術分野で用いられるマルチビットの同期式バスを駆動するバス駆動回路に関する。

【0002】

【従来の技術】ＬＳＩ等を用いた、動作周波数の高いマルチビットの同期式バス駆動回路においては、特に、その出力バッファがクロックに同期してバスを直接駆動する際に、1クロック前のデータに対して同時に反転するビット数が多くなると、ＬＳＩ内部回路の動作に影響を及ぼすことがある。このため、同時スイッチングビット数の制限という問題が起きてくる場合がある。そこで、従来のバス駆動回路では、ＬＳＩ内部のＩ／Ｏセルの配置を工夫したり、電源ラインを強化することで解決していた。

【0003】

【発明を解決しようとする課題】ところで、上述したマルチビットの同期式バス駆動回路においては、近年、ＣＰＵの高性能化や、バスのバンド幅の増大等に伴い、ビット数が増大する傾向にある。このため、前述したＬＳＩ内部のＩ／Ｏセルの配置を工夫したり、電源ラインを強化する方法だけでは、同時スイッチングビット数の制限という問題を回避できないという問題が生じる。

【0004】そこで本発明は、バスのビット数の増大によって、ＬＳＩ内部のＩ／Ｏセルの配置の工夫、電源ラインの強化等だけでは解決しきれなくなった問題を解決でき、同時スイッチングビット数を制限できるバス駆動回路を提供することを目的としている。

【0005】

2

【課題を解決するための手段】上記目的を達成するため、本発明によるバス駆動回路は、マルチビットの同期式バス駆動回路において、バス上に1クロック前に送出したデータと、次のクロックで送出するオリジナルデータとを比較し、クロックの前後で値の変化したビットの数を判定する判定手段と、判定結果に基づいて、次のクロックでバス上に送出するオリジナルデータを一度に反転して出力する反転手段と、バス上のデータがオリジナルデータに対して反転していることを示すデータ極性フラグを出力するフラグ出力手段と、受信側において、前記極性フラグの値に応じて、受信データを反転して取込む取込手段とを具備することを特徴としている。

【0006】また、判定手段は、デジタル入力の各ビットの重みが等しい一種のD／Aコンバータと、前記D／Aコンバータのアナログ出力電圧に対して、しきい値がビット数の1／2に設定された電圧比較器とを有するようにしてもよい。

【0007】

【作用】本発明では、バス上に1クロック前に送出したデータと、次のクロックで送出するオリジナルデータとを判定手段によって比較し、クロックの前後で値の変化したビットの数を判定し、該判定結果に基づいて、次のクロックでバス上に送出するオリジナルデータを反転手段により一度に反転して出力するとともに、バス上のデータがオリジナルデータに対して反転されているか、あるいは反転されていないかを示すデータ極性フラグをフラグ出力手段により出力する。一方、受信側においては、取込手段により、上記極性フラグの値に応じて、受信データを反転して取込む。この結果、マルチビットの同期式バス上において、クロックの前後でビット反転を生じる信号線の数を、判定手段により設定されるビット数以下に制限できる。

【0008】また、判定手段において、デジタル入力の各ビットの重みが等しい一種のD／Aコンバータと、前記D／Aコンバータのアナログ出力電圧に対して、しきい値がビット数の1／2に設定された電圧比較器とを有するようにすることにより、クロックの前後でビット反転を生じる信号線の数を、常に、全ビット数の1／2以下に制限できる。

【0009】

【実施例】以下、本発明の一実施例を図面に基づいて説明する。

【0010】図1は本発明の一実施例の構成を示すブロック図である。なお、バスのデータビット数をＮビットとして説明する。但し、Ｎは偶数であるものとする。

【0011】図において、10は、内部信号バス（以下、バスという）を介して供給されるＮビットのデータであり、このデータ10は、Ｄフリップフロップ20およびExclusive（排他的）－ＯＲ論理回路23の一方の入力端に供給される。Ｄフリップフロップ20は、上記

データ１０と同数のビット構成であり、同相出力Q、反転出力／Qを有している。Dフリップフロップ２０は、クロック信号１１によって上記Nビットのデータ１０に１クロックの遅延をかけた後、このNビットのデータを同相出力Q、反転出力／Qから、それぞれ、Nビットのセレクタ２１の入力端A，Bに供給する。セレクタ２１は、セレクト信号Sが「0」の時に入力端Aに供給されたデータを出力端Yへ出力し、「1」の時に入力端Bに供給されたデータを出力端Yへ出力する。そして、セレクタ２１の出力端Yから出力される遅延されたデータ１２は、Exclusive－OR論理回路２３の他方の入力端と、出力バッファ２７とに供給される。

【００１２】出力バッファ２７は、Nビットの外部バス１５を駆動する。なお、図示する出力制御信号（／ENABLE）１７は、必要に応じて、出力バッファ２７の出力をハイ・インピーダンス状態にするものである。

【００１３】一方、Exclusive－OR論理回路２３は、オリジナルのデータ１０と、１クロック後に出力されるデータ１２とに対して、ビット毎のExclusive（排他的）－ORをとることにより、クロックの前後で反転したビットを検出する。このExclusive－OR論理回路２３が出力するデータ１３は、破線部Aで示すNビットの入力端を有する多数決回路に入力される。２４，２４，…は、電流スイッチであり、データ１３の各ビットによってコントロールされ、「0」の時にオフ、「1」の時にオンとなる。２５，２５，…は、各ビットの電流値がiの定電流源であり、それぞれに対応する電流スイッチ２４，２４，…がオンとなることで抵抗R１に電流iを供給する。

【００１４】また、２６はアナログ電圧比較器であり、プラス入力端子に印加される電圧をV＋、マイナス入力端子に印加される電圧をV－とすると、V＋≧V－の時に正論理「1」、V＋≦V－の時に負論理「0」を出力する。

【００１５】上記アナログ電圧比較器２６のマイナス端子には、データ１３のNビット中、mビットが「1」の場合、抵抗R１に流れる電流がm×iであることから、

$$Vcomp- = V1-R1mi \quad \cdots\cdots (1)$$

の電圧が印加される。一方、アナログ電圧比較器２６のプラス端子には、

$$Vcomp+ = (VRF1-VRF2)\cdot R3/(R2+R3) \quad \cdots\cdots (2)$$

の基準電圧が印加されている。

【００１６】したがって、多数決回路では、m＝N／２であるから、（１）式と（２）式とから、

$$R3/(R2+R3)=(V1-R1\cdot Ni/2)/(VRF1-VRF2) \quad \cdots\cdots (3)$$

となるように、抵抗器R2、R3を選択すれば、全Nビット中、「1」のビット数がN／２ビット以上のときに、アナログ電圧比較器２６の出力信号１４が「1」となる。このアナログ電圧比較器２６の出力信号１４は、Dフリップフロップ２２に供給される。

【００１７】このアナログ電圧比較器２６の出力信号１４は、Dフリップフロップ２２において、Dフリップフロップ２０に供給されるクロックと同じクロック信号１１によって１クロックの遅延がかけられ、前述したセレクタ２１のセレクト信号Sとして供給されている。

【００１８】したがって、セレクタ２１の出力データ１２に注目してみると、各クロックの前後で、反転しているビット数の合計がN／２以上になると、外部バス１５にはオリジナルデータに対して、反転したデータが出力される。したがって、外部バス１５上のデータにおいては、クロックの前後で、反転するビット数の合計は、常にN／２以下になっている。

【００１９】また、現在、出力中のデータが、オリジナルデータに対して反転しているか否かを受信側に知らせるために、データ極性フラグ１６として、反転している場合は「1」、オリジナルデータと同じ場合は「0」となる信号が出力される。なお、２８は、データ極性フラグ１６を駆動する出力バッファである。

【００２０】上述した構成において、データ１０は、Dフリップフロップ２０およびExclusive（排他的）－OR論理回路２３の一方の入力端に供給される。Dフリップフロップ２０は、クロック信号１１によって上記Nビットのデータ１０に１クロックの遅延をかけた後、このNビットのデータを同相出力Q、反転出力／Qから、それぞれ、Nビットのセレクタ２１の入力端A，Bに供給する。セレクタ２１は、セレクト信号Sが「0」の時に入力端Aに供給されたデータを出力端Yへ出力し、「1」の時に入力端Bに供給されたデータを出力端Yへ出力する。そして、セレクタ２１の出力端Yから出力される遅延されたデータ１２は、Exclusive－OR論理回路２３の他方の入力端と、出力バッファ２７とに供給される。

【００２１】一方、Exclusive－OR論理回路２３は、オリジナルのデータ１０と、１クロック後に出力されるデータ１２とに対して、ビット毎のExclusive（排他的）－ORをとることにより、クロックの前後で反転したビットを検出し、その結果を多数決回路Aへ供給する。多数決回路Aにおいては、全Nビット中、「1」のビット数がN／２ビット以上のときにのみ、アナログ電圧比較器２６の出力信号１４が「1」となる。このアナログ電圧比較器２６の出力信号１４は、Dフリップフロップ２２に供給される。

【００２２】このアナログ電圧比較器２６の出力信号１４は、Dフリップフロップ２２において、クロック信号１１によって１クロックの遅延がかけられた後、セレク

タ２１のセレクト信号Ｓとして供給されるとともに、出力バッファ２７を介して、データ極性フラグ１６として出力される。したがって、セレクタ２１の出力データ１２に注目してみると、各クロックの前後で反転したビット数の合計がN／２以上になった場合にのみ、外部バスには、オリジナルデータに対して出力端／Qから出力される反転したデータ１５が出力され、上記ビット数の合計がN／２より小さい場合には、出力端Qから出力されるデータ１０と同一のデータ１５が出力される。また、データ極性フラグ１６は、データ１５がオリジナルのデータ１０に対して反転している場合は「1」、オリジナルのデータ１０と同じ場合は「0」となる。

【００２３】次に、図２は同実施例の受信側の構成を示すブロック図である。この図において、バッファ４０は、外部回路より供給されるデータ３０をNビットのDフリップフロップ４１に供給する。上記データ３０は、図１に示すデータ１５に相当する。Dフリップフロップ４１は、同相出力Q、反転出力／Qを持ち、クロック信号３３によって上記外部バス上にあるNビットのデータ３０に１クロックの遅延をかけた後、このNビットのデータを同相出力Q、反転出力／Qから、それぞれ、Nビットのセレクタ４２の入力端Ａ，Ｂに供給する。

【００２４】また、３２は、図１に示すデータ極性フラグ１６と同一のものであって、このデータ極性フラグ３２は、バッファ４３を介して、Dフリップフロップ４４に供給される。Dフリップフロップ４４は、データ極性フラグ３２をクロック信号３３によって１クロックの遅延をかけ、これをセレクタ２２のセレクト信号Ｓとして供給するようになっている。

【００２５】セレクタ４２は、セレクト信号Ｓが「0」の時に入力端Ａに供給されたデータを出力端Ｙへ出力し、「1」の時に入力端Ｂに供給されたデータを出力端Ｙに出力する。このセレクト信号Ｓは、セレクタ４２の入力信号に同期（遅延）したデータ極性フラグ３２によって切り替えられる。なお、Dフリップフロップ４１と４４とには、各々、クロック信号３３が供給されており、このクロック信号３３は、図１に示すクロック信号１１と周波数、および位相が一致しているものとする。

【００２６】上述した構成において、データ３０は、バッファ４０を介してDフリップフロップ４１に供給される。Dフリップフロップ４１は、クロック信号３３によってデータ３０に１クロックの遅延をかけた後、これを同相出力Q、反転出力／Qからそれぞれ出力する。また、データ極性フラグ３２は、バッファ４３を介してDフリップフロップ４４に供給される。Dフリップフロップ４４は、データ極性フラグ３２をクロック信号３３によって１クロックの遅延をかけた後、これをセレクタ２２のセレクト信号Ｓとして出力する。

【００２７】したがって、セレクタ４２においては、セレクト信号Ｓが「0」の場合、すなわち、外部回路から供給されたデータ３０（１５）がオリジナルのデータ１０と同じ場合には、入力端Ａに供給されたそのままのデータ１５が出力端Ｙへ出力され、セレクト信号Ｓが「1」の場合、すなわち、外部回路から供給されたデータ３０（１５）がオリジナルのデータ１０に対して反転されている場合には、入力端Ｂに供給された、反転されたデータ１０が出力端Ｙへ出力される。以上から、内部バス３１には、図１の１０と同じオリジナルデータが復元される。

【００２８】なお、ここでは、全ビット数の１／２に対して、同時スイッチングの制限ビット数に多少の余裕があるようにすべきであり、したがって、多数決回路Ａは高精度である必要はない。

【００２９】

【発明の効果】以上説明したように、本発明のバス駆動回路では、送信側において、バス上に１クロック前に送出したデータと、次のクロックで送出するオリジナルデータとを判定手段によって比較し、クロックの前後で値の変化したビットの数を判定し、該判定結果に基づいて、次のクロックでバス上に送出するオリジナルデータを反転手段により一度に反転して出力するとともに、バス上のデータがオリジナルデータに対して反転されているか、あるいは反転されていないかを示すデータ極性フラグをフラグ出力手段により出力し、一方、受信側においては、取込手段により、上記極性フラグの値に応じて、受信データを反転して取込むようにしたため、クロックの前後でビット反転を生じる信号線の数を、判定手段により設定されるビット数以下に制限できる。また、判定手段において、デジタル入力の各ビットの重みが等しい一種のD／Aコンバータと、前記D／Aコンバータのアナログ出力電圧に対して、しきい値がビット数の１／２に設定された電圧比較器とを有するようにすることにより、クロックの前後でビット反転を生じる信号線の数を、常に全ビット数の１／２以下に制限できる。したがって、ＬＳＩ等を用いて特にその出力バッファが、クロックに同期してバスを直接駆動する際に生じる、同時スイッチング・ビット数の制限という課題において、バスのビット数の増大によって、ＬＳＩ内部のＩ／Oセルの配置の工夫、電源ラインの強化等だけでは解決しきれなくなった問題を解決できるという利点が得られる。

【図面の簡単な説明】

【図１】本発明に係るバス駆動回路の送信側の一実施例の構成を示すブロック図である。

【図２】同実施例の上記バス駆動回路の受信側の一実施例の構成を示すブロック図である。

【符号の説明】

Ａ　多数決回路部（判定手段）

１０，１２，１５　データ

１１　クロック信号

１３　NビットExclusive－OR出力信号

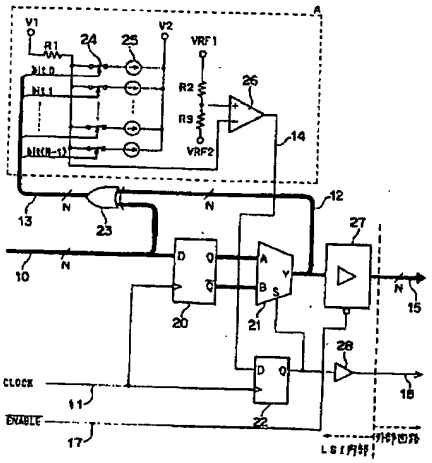
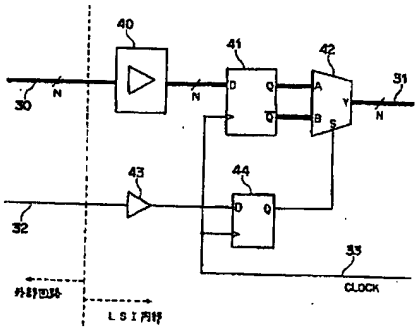
7

14　電圧比較器出力信号
16　データ極性フラグ
17　バッファ出力制御信号
20　NビットDフリップフロップ（反転手段）
21　Nビットセレクタ（反転手段）
22　Dフリップフロップ（フラグ出力手段）
23　NビットExclusive－OR論理回路（判定手段）
24　電流スイッチ（D／Aコンバータ）
25　定電流源（D／Aコンバータ）
26　アナログ電圧比較器（電圧比較器）
27　Nビット外部バス出力バッファ
28　データ極性フラグ出力バッファ
30，31　データ
32　データ極性フラグ

8

33　クロック信号
40　Nビット外部バス入力バッファ
41　NビットDフリップフロップ
42　Nビットセレクタ
43　データ極性フラグ入力バッファ
44　Dフリップフロップ
V1　電源
V2　電源
VRF1　電源
VRF2　電源
R1　抵抗器
R2　抵抗器
R3　抵抗器

【図1】



【図2】